

MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

Publication number: JP2003188296

Publication date: 2003-07-04

Inventor: YAMAGUCHI YASUO; NAKAMURA KUNIHIRO

Applicant: MITSUBISHI ELECTRIC CORP

Classification:

- international: G01P15/125; H01L21/30; H01L21/44; H01L21/46; H01L23/02; H01L29/84; G01P15/125; H01L21/02; H01L23/02; H01L29/66; (IPC1-7): H01L23/02; G01P15/125; H01L29/84

- european:

Application number: JP20010384261 20011218

Priority number(s): JP20010384261 20011218

Also published as:



US6734040 (B2)

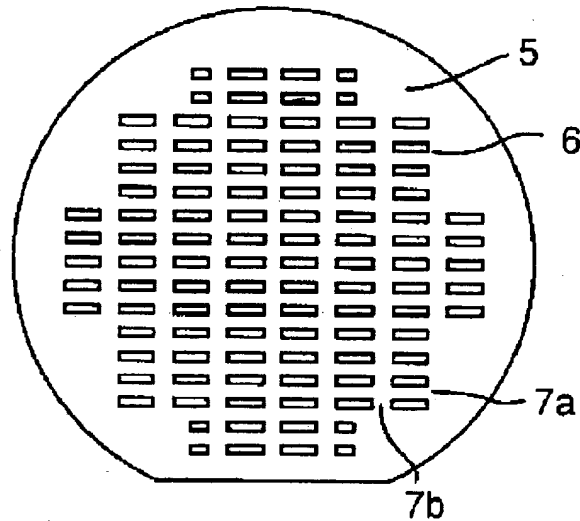


US2003113982 (A1)

Report a data error here

Abstract of JP2003188296

PROBLEM TO BE SOLVED: To provide the manufacturing method of a semiconductor device capable of improving accuracy of characteristics and achieving miniaturization or cost reduction by improving a reliability and a strength upon connecting.



5: キャップウェーハ

6: シリコン抜き部

7a: 第1のシリコン残し部

7b: 第2のシリコン残し部

Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-188296

(P2003-188296A)

(43) 公開日 平成15年7月4日 (2003.7.4)

(51) Int.Cl.

識別記号

F I

テマコード* (参考)

H 0 1 L 23/02

H 0 1 L 23/02

J 4 M 1 1 2

G 0 1 P 15/125

G 0 1 P 15/125

H 0 1 L 29/84

H 0 1 L 29/84

Z

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号

特願2001-384261(P2001-384261)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22) 出願日

平成13年12月18日 (2001. 12. 18)

(72) 発明者 山口 靖雄

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 中村 邦宏

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100062144

弁理士 青山 薫 (外1名)

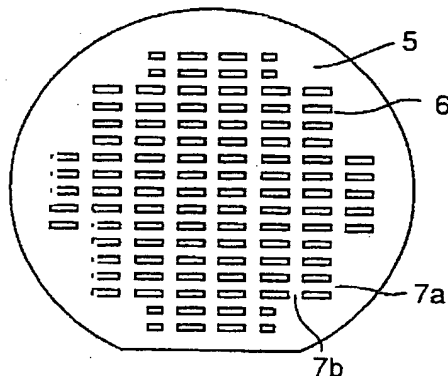
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 接合時の信頼性及び強度を向上させることにより特性精度を向上させるとともに、小型化あるいはコストダウンを達成することのできる半導体装置の製造方法を提供すること。

【解決手段】 第1の方向に延びる複数列の第1のシリコン残し部7aと第1の方向とは直交する第2の方向に延びる複数列の第2のシリコン残し部7bとをキャップウェーハ5に形成し、第1及び第2のシリコン残し部7a、7bの間に形成されたシリコン抜き部6を半導体ウェーハに接合された半導体素子の電極部上に位置するようにキャップウェーハ5を半導体素子に接合するようにした。



5: キャップウェーハ

6: シリコン抜き部

7a: 第1のシリコン残し部

7b: 第2のシリコン残し部

【特許請求の範囲】

【請求項1】 気密封止した半導体装置の製造方法であって、

第1の方向に延びる複数列の第1のシリコン残し部と第1の方向とは直交する第2の方向に延びる複数列の第2のシリコン残し部とをキャップウェーハに形成し、第1及び第2のシリコン残し部の間に形成されたシリコン抜き部を半導体ウェーハに接合された半導体素子の電極部上に位置するようにキャップウェーハを半導体素子に接合するようにしたことを特徴とする半導体装置の製造方法。

【請求項2】 上記キャップウェーハを半導体素子に接合した後、上記キャップウェーハを研磨することにより上記第2のシリコン残し部を除去するようにした請求項1に記載の半導体装置の製造方法。

【請求項3】 上記第2のシリコン残し部とダイシングラインを一致させ、上記第2のシリコン残し部に沿ってダイシングを行うようにした請求項2に記載の半導体装置の製造方法。

【請求項4】 気密封止した半導体装置の製造方法であって、

半導体ウェーハに半導体素子を接合し、キャップウェーハにザグリ部を形成し、半導体素子の電極部がザグリ部に収容されるようにキャップウェーハを半導体素子に接合し、キャップウェーハを研磨することにより半導体素子電極部の上方に位置するキャップウェーハを除去するようにしたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は気密封止した半導体装置に関し、さらに詳しくは、半導体基板の表面に形成されたセンサ素子を空隙を介して被覆するキャップを有する容量式加速度センサ等として使用される半導体装置に関する。

【0002】

【従来の技術】表面型の容量式加速度センサでは、加速度センサウェーハ上に配置されたセンサ素子をキャップウェーハで被覆しており、キャップウェーハはウェーハ単位でセンサ素子に接合される。

【0003】図8乃至図11は、従来の容量式加速度センサを模式的に示したものである。図8及び図9は、加速度センサウェーハ1及び加速度センサ素子3をそれぞれ示しており、多数の加速度センサ素子3が、加速度センサウェーハ1上の加速度センサ素子配置部2（図8のハッチング部）に配置され接合される。図9は、互いに隣接配置された9個の加速度センサ素子3を示しており、加速度センサ素子3の各々には、外部に電気信号を取り出すための複数（図2では五つ）の加速度センサ素子電極部4が1列に配列されている。

【0004】図10は、図9の加速度センサ素子3に接

合されるキャップウェーハ5を示しており、同一方向に延びる多数のシリコン抜き部6が穿設され、隣接するシリコン抜き部6の間にはシリコン残し部7が設けられている。このキャップウェーハ5は、加速度センサウェーハ1とは別々に加工、製造され、加速度センサ素子3に重ね合わせて接合される。

【0005】図11に示されるように、重ね合わせに際し、加速度センサ素子電極部4は外部に電気信号を取り出すための空隙を必要とし、この空隙として上記シリコン抜き部6が使用される。また、多数の加速度センサ素子3は同一方向に配列され、加速度センサ素子電極部4も所定の間隔で複数の列が直線状に配置されるため、キャップウェーハ5においても、シリコン抜き部6が加速度センサ素子電極部4の列間隔と同一間隔で同一方向に配列されている。

【0006】

【発明が解決しようとする課題】したがって、キャップウェーハ5においては、細い短冊状のシリコン抜き部6とシリコン残し部7が交互に並ぶことになり、キャップウェーハ5の製造時に割れやすいという問題や、接合が高温下（450℃程度）で行われることから、接合時に熱によって細い短冊部が歪みやすく接合が十分に行えないという問題があった。

【0007】本発明は、従来技術の有するこのような問題点を鑑みてなされたものであり、接合時の信頼性及び強度を向上させることにより特性精度を向上させることのできる半導体装置の製造方法を提供することを目的としている。

【0008】本発明の別の目的は、小型化あるいはコストダウンを達成することのできる半導体装置の製造方法を提供することである。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明のうち請求項1に記載の発明は、気密封止した半導体装置の製造方法であって、第1の方向に延びる複数列の第1のシリコン残し部と第1の方向とは直交する第2の方向に延びる複数列の第2のシリコン残し部とをキャップウェーハに形成し、第1及び第2のシリコン残し部の間に形成されたシリコン抜き部を半導体ウェーハに接合された半導体素子の電極部上に位置するようにキャップウェーハを半導体素子に接合するようにしたことを特徴とする。

【0010】なお、特開平7-20147号公報には、半導体加速度センサの製造方法が開示されているが、上下ストッパウェーハとセンサウェーハとをシール用接着剤を格子状パターンに塗布して接着したもので、本願発明とは構成において異なるものである。

【0011】また、特開平2-37779号公報にも、半導体加速度センサの製造方法が開示されているが、半導体センサ部の素子パターン形成に際し、各素子の裏面

の溝エッチング部分がウェーハ裏面で連続してつながらないようにウェーハ上の素子パターンを形成したもので、この方法も本願発明とは構成において異なっている。

【0012】また、請求項2に記載の発明は、キャップウェーハを半導体素子に接合した後、キャップウェーハを研磨することにより第2のシリコン残し部を除去するようにしたことを特徴とする。

【0013】さらに、請求項3に記載の発明は、第2のシリコン残し部とダイシングラインを一致させ、第2のシリコン残し部に沿ってダイシングを行うようにしたことを特徴とする。

【0014】なお、特開平10-4199号公報には、ダイシング用の切断刃が半導体ウェーハを切断する際に生じるチッピングを防止するために、半導体ウェーハを冷凍により固定したもので、請求項3に記載の発明は、この公報には開示されていない。

【0015】また、請求項4に記載の発明は、気密封止した半導体装置の製造方法であって、半導体ウェーハに半導体素子を接合し、キャップウェーハにザグリ部を形成し、半導体素子の電極部がザグリ部に収容されるようにキャップウェーハを半導体素子に接合し、キャップウェーハを研磨することにより半導体素子電極部の上方に位置するキャップウェーハを除去するようにしたことを特徴とする。

【0016】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。本発明は、気密封止した半導体装置を製造するために使用されるが、以下の実施の形態では容量式加速度センサを例に取り説明する。

【0017】実施の形態1。図1は、本発明の実施の形態1にかかる容量式加速度センサに取り付けられるキャップウェーハ5を示しており、第1の方向（図1では水平方向）に等間隔で延びる複数列の第1のシリコン残し部7aと、この第1のシリコン残し部7aを補強するために、第1の方向とは直交する第2の方向（図1では垂直方向）に等間隔で延びる複数列の第2のシリコン残し部7bが形成されている。

【0018】なお、多数の加速度センサ素子3が加速度センサウェーハ1上の加速度センサ素子配置部2に接合されるとともに、加速度センサウェーハ1とは別々に加工、製造されたキャップウェーハ5が加速度センサ素子3に重ね合わせて接合されるようにした構成等については、図8乃至図11に示される従来例と同一なので、その説明は省略する。

【0019】図1のキャップウェーハ5においては、補強用の第2のシリコン残し部7bを設けたことで、図10の従来例のような短冊状のシリコン残し部7がなく、十分な強度があることから、キャップウェーハ5の製造

時における割れの発生を防止することができる。また、接合時においても、熱による歪がなく、特に細い短冊部の横方向の振れに対して、ほとんど影響を受けることなく接合を行うことができる。

【0020】実施の形態2。上述した実施の形態1においては、加速度センサ素子3は、加速度センサウェーハ1の加速度センサ素子配置部2に一樣に配置されているため、補強用の第2のシリコン残し部7bの直下に位置する加速度センサ素子3は使用不能である。

【0021】本実施の形態は、このような使用不能な加速度センサ素子3をなくし、すべての加速度センサ素子3を使用可能にしたものである。

【0022】図2は、本実施の形態にかかるキャップウェーハ5の製造と接合までのフローを示しており、加速度センサウェーハ1の製造方法については省略している。

【0023】まず、図2(a)に示されるように、加速度センサウェーハ1の片面（図2(a)では下面）の加速度センサ素子可動部8（図2(g1)参照）に対応する部分以外の部分に、写真製版によりレジスト膜（図示せず）を形成した後、このレジスト膜を用いて下地のシリコン酸化膜あるいはシリコン窒化膜を所望の形状に加工する。次に、図2(b)に示されるように、この酸化膜あるいは窒化膜をシリコンエッチングマスク9として使用して、エッチング加工により2~100 μ m程度の深さで掘り下げ、第1のザグリ部10を形成する。

【0024】同様にして、図2(c)に示されるように、加速度センサウェーハ1の片面の加速度センサ素子電極部4に対応する部分以外の部分に、写真製版によりレジスト膜（図示せず）を形成した後、このレジスト膜を用いて下地のシリコン酸化膜あるいはシリコン窒化膜を所望の形状に加工する。さらに、図2(d)に示されるように、この酸化膜あるいは窒化膜をシリコンエッチングマスク11として使用して、エッチング加工により第1のザグリ部10より深い10~200 μ m程度の深さで掘り下げ、第2のザグリ部12を形成する。

【0025】次に、図2(e)に示されるように、加速度センサウェーハ1の片面に酸化膜あるいは窒化膜のシリコンエッチングマスク13を形成するとともに、その反対面の加速度センサ素子電極部4に対応する部分以外の部分に、写真製版によりレジスト膜（図示せず）を形成した後、このレジスト膜を用いて下地のシリコン酸化膜あるいはシリコン窒化膜を所望の形状に加工する。さらに、この酸化膜あるいは窒化膜をシリコンエッチングマスク14として使用して、図2(f1)に示されるように、エッチング加工により掘り下げ、貫通してシリコン抜き部6を形成する。なお、図2(f1)は図3の線A-Aに沿った断面図であり、図2(f2)は図3の線B-Bに沿った断面図である。図2(f2)に示されるように、キャップウェーハ5の一部分はシリコンの残し

部としておき、この部分を第1のシリコン残し部7aの補強用シリコン残し部7bとして形成する。

【0026】その後、エッチングマスクをすべて除去し、図2(g1)及び(g2)に示されるように、加速度センサウェーハ1とキャップウェーハ5を一体的に接合した後、破線で示される部分まで研磨し、図2(h1)及び(h2)に示されるように、キャップウェーハ5を薄くするとともに、加速度センサ素子電極部4を貫通(開口)させる。

【0027】図4は、研磨後の加速度センサを示しており、図5は、その一部を拡大したものである。両図において、7cは研磨後に残った第2のシリコン残し部7bの残存部である。

【0028】上述した実施の形態1においては、補強用の第2のシリコン残し部7bの直下に位置する加速度センサ素子3は使用不能であったが、本実施の形態では、上述したように、加速度センサウェーハ1とキャップウェーハ5を接合後、キャップウェーハ5を所定の厚さまで研磨して補強用の第2のシリコン残し部7bを除去したので、すべての加速度センサ素子3が使用可能になる。

【0029】実施の形態3。上述した実施の形態2においては、エッチング加工の特性上、シリコン残し部7bの残存部7cが現れ、加速度センサ素子電極部4と重なって、組立て工程において行われるワイヤボンディングで干渉を起こすことがある。干渉を避けるためには、シリコン残し部7bの残存部7cと加速度センサ素子電極部4との間隔を広くする必要があるが、この間隔を広くするとチップサイズが大きくなる。

【0030】そこで、本実施の形態では、図6に示されるように、チップを切り出すダイシング工程において、補強用の第2のシリコン残し部7bとダイシングライン15を一致させ、第2のシリコン残し部7bに沿ってダイシングを行うことによりシリコン残し部7bの残存部7cをなくすようにしている。

【0031】この場合、第2のシリコン残し部7bすなわちダイシングライン15を各加速度センサ素子3の電極と一致しないようにし、電極と電極の間を通るように設定する。

【0032】実施の形態4。本実施の形態では、キャップウェーハ5の全領域においてシリコン抜き部6を形成しないように、キャップウェーハ5を加工している。すなわち、キャップウェーハ5の全領域において、図2(e)に示される断面形状となるようにキャップウェーハ5は加工される。

【0033】図7は、加速度センサ素子3とキャップウェーハ5を接合した後の1チップ分の斜視図であり、図2に示されるキャップウェーハ加工において、図2(f1)のエッチング加工を削除したものである。さらに、キャップウェーハ5の加工において、シリコン抜き部6

を形成しないため、上述した実施の形態1～3におけるキャップウェーハ5よりも強度は大きくなる。

【0034】実施の形態5。本実施の形態では、キャップウェーハ5のシリコン抜き部6をウェットエッチングにより加工している。

【0035】ウェットエッチングによるキャップウェーハ5の加工の場合、シリコンが図2に示されるような結晶方位を有しているため、シリコン抜き部6の側面はテーパ角を持った形状になる。

【0036】実施の形態6。本実施の形態では、キャップウェーハ5のシリコン抜き部6をドライエッチングにより加工している。

【0037】ドライエッチングによるキャップウェーハ5の加工の場合、実施の形態5と異なり、シリコンの結晶面方位に関係なく行うことができ、ウェットエッチング時に生じる結晶面方位特有の形状にならないので、実施の形態5におけるシリコン抜き部6のテーパ状側面は現れることがなく、シリコン抜き部6の側面は垂直な側壁となる。したがって、マスクパターンの形状で加工できるので、設計が容易で実施の形態5のようにテーパ角で生じる形状分を考慮する必要がなく、チップサイズを小型化することが可能である。

【0038】なお、上記実施の形態は、容量式加速度センサを例に取り説明したが、本発明は加速度センサに限定されるものではなく、物理量を計測するための圧力センサ等の物理量センサや、アクチュエータ等のように半導体素子部が可動の半導体装置にも適用可能である。

【0039】

【発明の効果】本発明は、以上説明したように構成されているので、以下に記載されるような効果を奏する。本発明のうちで請求項1に記載の発明によれば、第1の方向に延びる複数列の第1のシリコン残し部と第1の方向とは直交する第2の方向に延びる複数列の第2のシリコン残し部とをキャップウェーハに形成し、第1のシリコン残し部を第2のシリコン残し部により補強したので、これまでキャップウェーハの製造時に発生していた搬送やハンドリングによるウェーハの割れが防止されるとともに、接合時においても熱による歪、特に細い短冊部の横方向の振れによる影響をほとんど受けることなく接合を行うことができる。したがって、接合時の信頼性及び強度が向上し特性精度の高い半導体装置を提供することができる。

【0040】また、請求項2に記載の発明によれば、キャップウェーハを半導体素子に接合した後、キャップウェーハを研磨することにより第2のシリコン残し部を除去するようにしたので、半導体ウェーハの全領域に設けられた全ての半導体素子が使用可能となり、歩留まりが向上する。

【0041】さらに、請求項3に記載の発明によれば、第2のシリコン残し部とダイシングラインを一致させ、

第2のシリコン残し部に沿ってダイシングを行うようにしたので、チップサイズの小型化ひいてはコストダウンを達成することができる。

【0042】また、請求項4に記載の発明によれば、半導体ウェーハに半導体素子を接合し、キャップウェーハにザグリ部を形成し、半導体素子の電極部がザグリ部に収容されるようにキャップウェーハを半導体素子に接合し、キャップウェーハを研磨することにより半導体素子電極部の上方に位置するキャップウェーハを除去するようにしたので、キャップウェーハ加工が簡略化できるとともに、シリコン抜き部を形成しない構成のため、キャップウェーハの強度がさらに向上し、接合時の信頼性及び強度が向上し特性精度の高い半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1にかかる容量式加速度センサに取り付けられるキャップウェーハの平面図である。

【図2】 本発明の実施の形態2にかかる容量式加速度センサの製造工程を示す概略断面図である。

【図3】 図2(f1)及び(f2)に示されるキャップウェーハの部分斜視図である。

【図4】 キャップウェーハを研磨した後の加速度セン

サの部分斜視図である。

【図5】 図4の部分拡大斜視図である。

【図6】 本発明の実施の形態3にかかる容量式加速度センサの部分斜視図である。

【図7】 本発明の実施の形態4にかかる容量式加速度センサの部分斜視図である。

【図8】 従来の容量式加速度センサに使用されるセンサウェーハの平面図である。

【図9】 図8のセンサウェーハに接合されるセンサ素子の斜視図である。

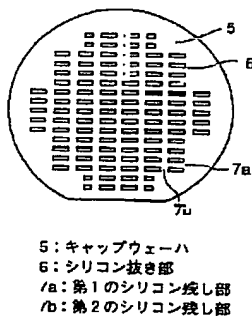
【図10】 図9のセンサ素子に接合されるキャップウェーハの平面図である。

【図11】 図8のセンサウェーハに図10のキャップウェーハを重ね合わせた状態を示す縦断面図である。

【符号の説明】

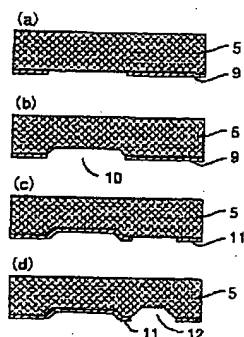
1 加速度センサウェーハ、 2 加速度センサ素子配置部、 3 加速度センサ素子、 4 加速度センサ素子電極部、 5 キャップウェーハ、 6 シリコン抜き部、 7a 第1のシリコン残し部、 7b 第2のシリコン残し部、 8 加速度センサ素子可動部、 9 エッチングマスク、 10 ザグリ部、 11 エッチングマスク、 12 ザグリ部、 13 エッチングマスク、 14 エッチングマスク、 15 ダイシングライン

【図1】



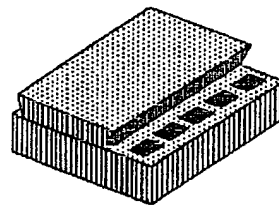
5: キャップウェーハ
6: シリコン抜き部
7a: 第1のシリコン残し部
7b: 第2のシリコン残し部

【図2】

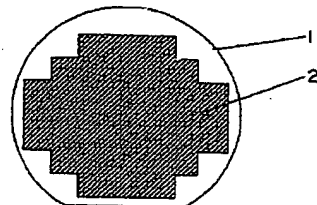


8: 加速度センサ素子可動部
9: エッチングマスク
10: ザグリ部
11: エッチングマスク
12: ザグリ部
13: エッチングマスク
14: エッチングマスク

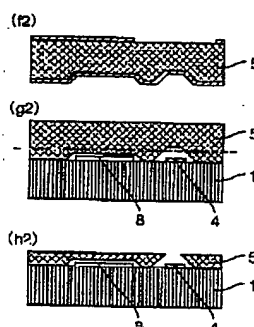
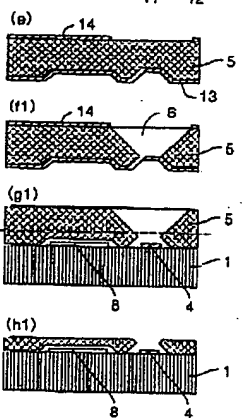
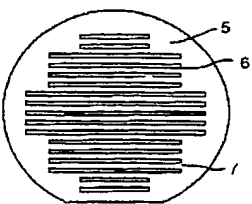
【図7】



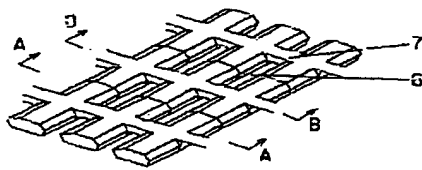
【図8】



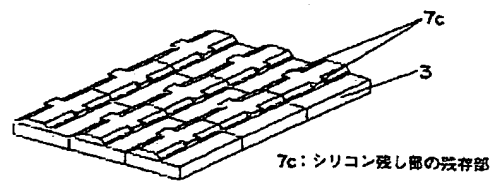
【図10】



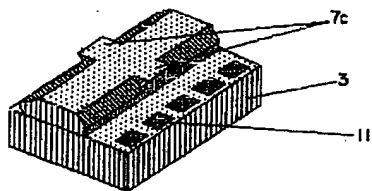
【図3】



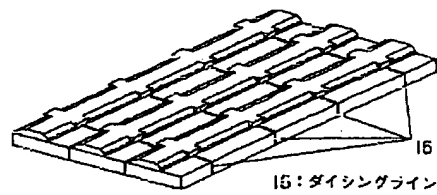
【図4】



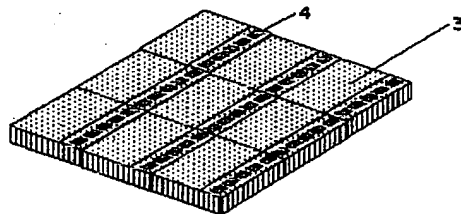
【図5】



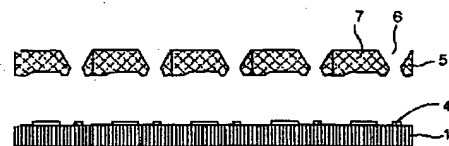
【図6】



【図9】



【図11】



フロントページの続き

Fターム(参考) 4M112 AA01 AA02 AA10 BA07 CA00
DA03 DA04 DA05 DA16 DA18
DA20 EA02 EA06 EA07 FA20
GA01